

WIAS Top Runners' Lecture Collection

イジングモデル型情報処理デバイスの現状と展望 —物理学と情報科学の夢の架け橋—

http://www.waseda.jp/wias/event/symposium/sym_160310.html

参加無料、事前申込不要でございます。

どなたでもご自由に直接会場までお越しください。

開催日時：2016年3月10日（木）午後1:30～午後5:30

開催場所：早稲田大学理工キャンパス 63号館 04会議室,05会議室

（副都心線西早稲田駅直結のキャンパスです）

<http://www.waseda.jp/top/assets/uploads/2014/10/nishi-waseda-campus-map.pdf>

午後1:30～午後2:00

はじめに：イジングモデル型情報処理の現状と展望

(田中 宗)

午後2:00～午後3:00 (質疑応答 20分含む)

レーザー/OPO ネットワークを用いたコヒーレント・イジングマシン

(宇都宮 聖子氏)

午後3:30～午後4:30 (質疑応答 20分含む)

半導体回路を用いた CMOS アニールマシン

(山岡 雅直氏)

午後4:30～午後5:30

講演者を囲んでフリーディスカッション

主催：早稲田大学高等研究所

コーディネーター：田中 宗、山本 大輔

レーザー/OPOネットワークを用いた コヒーレント・イジングマシン

大学共同利用機関法人 情報・システム研究機構

国立情報学研究所

情報学プリンシプル研究系

宇都宮 聖子

〒101-8430 東京都千代田区一ツ橋 2-1-2

shoko@nii.ac.jp



半導体微細化の物理的限界からムーアの法則の終焉が問題視される中、量子コンピュータなど、非ノイマン型計算機の計算手法や人工知能が再び注目を集めている。特に組合せ爆発が問題となる最適化問題の高速化において、ハードウェア、ソフトウェアの両面からその構成を見直すことが重要な鍵となる。

我々は 2011 年にレーザーネットワークで組合せ最適化問題を解く、コヒーレント・イジングマシンを提案した[1]。組合せ問題に応じたレーザーネットワークの連結を実装すると、個々のレーザーが問題の答えに対応した発振基底を選んで発振する。計算はすべてのレーザーが発振することで完了するため、問題サイズに対して非常に高速に解が求められることが期待されている[2]。2012 年には、スタンフォード大学を中心に縮退型 OPO を用いた時分割多重モデルが提案され [3]、OPO(光パラメトリック発振器)を用いた $M=4,16$ サイトの時分割多重型コヒーレントコンピューターの実装実験に成功している。実用的な問題を実装するには、スケーラブルなシステム設計が必要となるが、光配線により OPO を結合しようとする、問題サイズと同等なスケールの光遅延線を準備し、その全てに対してパスの安定化と問題に応じた強度位相変調が必要となる。また、配線分岐によるロスの影響から、光増幅も考慮に入れる必要がある。現在、大規模化に向けた NTT 物性基礎科学研究所と大阪大学との共同研究では、問題数 $N=2,000$ を目安にシステムの大規模化に向けた測定フィードバックの実装も進めている。本講演では、プロジェクトの成果としてコヒーレント・イジングマシンの原理説明と、数値シミュレーションと実機によるベンチマークによる最新の性能評価を報告する。

References

[1] S. Utsunomiya, et al., Optics Express 19(19) 18091-18108, (2011)

[2] Y. Haribara et al., arXiv:1501.07030v3 [quant-ph] (2014)

[3] A. Marandi et al., Nature Photonics **8**, 937-942 (2014)

略歴

国立情報学研究所 情報学プリンシプル系 准教授 宇都宮 聖子

2003年 東京工業大学工学部電気電子工学科卒業

2008年 東京大学大学院情報理工学系研究科 博士課程修了。

その後国立情報学研究所情報学プリンシプル系助教を経て、

2013年より現在まで国立情報学研究所情報学プリンシプル系准教授。

東京理科大学物理学・応用物理学専攻連携准教授。

半導体回路を用いた

CMOSアニーリングマシン

株式会社日立製作所

研究開発グループ

山岡 雅直

〒185-0014 東京都国分寺市東恋ヶ窪 1-280



今後の社会システムでは、計算機に求められる目的の一つとしてシステムの最適化が重要となる。システムの最適化には、組合せ最適化問題を解く必要がある。組合せ最適化問題を解くコンピューティング技術として、イジングモデルを用いたアニーリングマシンが提案されている。今回、半導体 CMOS 回路を用いることで、使いやすくスケラビリティの高い CMOS アニーリングマシンを実現した。実際に、2 万スピンを含まないイジングチップを 65nm の半導体プロセスで試作し、100MHz 動作が可能で実際に組合せ最適化問題が解けることを確認するとともに、従来のノイマン型計算機上で近似アルゴリズムを用いた場合に比べて 1800 倍の電力効率で問題を解けることを確認した。本講演では、この CMOS アニーリングマシンの詳細について紹介する。

略歴

株式会社日立製作所 研究開発グループ 主任研究員 山岡 雅直

1998 年 京都大学大学院工学研究科電子通信工学専攻修士課程修了

2007 年 京都大学大学院情報学研究科通信情報システム専攻博士課程修了

1998 年より株式会社 日立製作所 中央研究所 研究員

現在、株式会社 日立製作所 研究開発グループ 主任研究員

専門：半導体集積回路